

#3
6-14-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Katsumi Watanabe

Docket: 14445

Serial No.: Unassigned

Dated: March 28, 2001

Filed: Herewith

For: PROGRAM DEVELOPMENT SUPPORT APPARATUS

Assistant Commissioner for Patents
Washington, DC 20231



CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2000-089636, filed on March 28, 2000.

Respectfully submitted,

Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, NY 11530
(516) 742-4343
PJE:dra

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Mailing Label Number: EL 835917815 US
Date of Deposit: March 28, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. '1.10 on the date indicated above and is addressed to the Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231.

Dated: March 28, 2001

Janet Grossman

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JCS29 U.S. PTO
09/819351
03/28/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 3月28日

出願番号
Application Number:

特願2000-089636

出願人
Applicant(s):

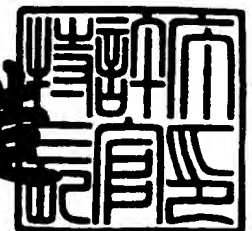
日本電気アイシーマイコンシステム株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月12日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3111510

【書類名】 特許願

【整理番号】 01211021

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/28

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目 4 0 3 番 5 3
日本電気アイシーマイコンシステム株
式会社内

【氏名】 渡辺 克己

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114180

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プログラム開発支援装置

【特許請求の範囲】

【請求項 1】 プログラムをトレースしトレースした命令アドレスを圧縮してトレースメモリに蓄積するプログラム開発支援装置において、

予め設定された所定の命令アドレスまたは所定の命令コードを検出したときに前記所定の命令アドレスまたは前記所定の命令コードが格納された命令アドレスを非圧縮のまま前記トレースメモリに書き込むよう制御するイベント検出部を備えたことを特徴とするプログラム開発支援装置。

【請求項 2】

ターゲットプログラムを実行する CPU と、

前記 CPU から入力する命令アドレス・命令コードデータが予めイベント条件として設定された所定の命令アドレスまたは所定の命令コードと一致することを検出したときにセクショントレース開始信号をアクティブにして出力するイベント検出部と、

前記命令アドレス・命令コードデータおよび前記セクショントレース開始信号を入力し前記命令アドレス・命令コードデータの命令コードが分岐命令であるかまたはセクショントレース開始信号がアクティブであるときには命令アドレスを非圧縮のままトレースデータとして出力し、前記命令アドレス・命令コードデータの命令コードが分岐命令でなく且つ前記セクショントレース開始信号がアクティブでないときには前記命令アドレス・命令コードデータの命令アドレスを圧縮して圧縮命令アドレスを生成し複数の前記圧縮命令アドレスを合成してトレースデータとして出力するトレースデータ作成部と、

前記トレースデータを蓄積するトレースメモリとを備えることを特徴とするプログラム開発支援装置。

【請求項 3】 ターゲットプログラムを実行する CPU と、

前記 CPU から入力する命令アドレス・命令コードデータが予めイベント条件として設定された所定の命令アドレスまたは所定の命令コードと一致することを検出したときにセクショントレース開始信号をアクティブにして出力するととも

にデータ取り込み信号を所定の期間アクティブに維持するイベント検出部と、

データ取り込み信号がアクティブのときには前記命令アドレス・命令コードデータを取り込み、前記命令アドレス・命令コードデータの命令コードが分岐命令であるかまたは前記セクショントレース開始信号がアクティブであるときには命令アドレスを非圧縮のままトレースデータとして出力し、前記命令アドレス・命令コードデータの命令コードが分岐命令でなく且つ前記セクショントレース開始信号がアクティブでないときには現在の命令アドレス・命令コードデータの命令アドレスの値からひとつ前の命令アドレス・命令コードデータの命令アドレスの値を減じた差分値の圧縮命令アドレスを生成し連続する複数の前記命令アドレス・命令コードデータに対応する複数の前記圧縮命令アドレスを合成してトレースデータとして出力するトレースデータ作成部と、

前記トレースデータを蓄積するトレースメモリとを備えることを特徴とするプログラム開発支援装置。

【請求項 4】 前記イベント検出部が、

予めイベント条件として外部から所定の命令アドレスまたは所定の命令コードが設定されているときには前記所定の命令アドレスまたは所定の命令コードとともにデータ取り込み信号のアクティブ期間をも保持するイベント設定回路と、

前記イベント設定回路から転送された前記所定の命令アドレスまたは前記所定の命令コードと CPU から入力する命令アドレス・命令コードデータの命令アドレスまたは命令コードが一致することを検出したときにセクショントレース開始信号をアクティブにして出力するとともに前記イベント設定回路に設定された前記アクティブ期間の間前記データ取り込み信号をアクティブにして出力するイベント検出回路とを有する請求項 3 記載のプログラム開発支援装置。

【請求項 5】 前記トレースデータ作成部が、

CPU から出力された命令アドレス・命令コードデータをデータ取り込み信号がアクティブの期間に読み込んで、命令アドレスと命令コードとを出力する命令アドレス・命令コード取り込み回路と、

前記命令アドレスと非圧縮データ選択信号とを入力し前記非圧縮データ選択信号がアクティブのときには前記命令アドレスをそのまま圧縮命令アドレスとして

出力し前記非圧縮データ選択信号がアクティブでないときには現在の命令アドレスからひとつ前の命令アドレスを減じた差分データを前記圧縮命令アドレスとして出力する命令アドレスデータ圧縮回路と、

前記命令コードを入力し該命令コードが分岐命令であるか否かを判定し分岐命令であると判定したときには分岐命令検出信号をアクティブにして出力する分岐命令判定回路と、

前記圧縮命令アドレスと前記非圧縮データ選択信号を入力し前記非圧縮データ選択信号がアクティブのときには前記圧縮命令アドレスをそのままトレースデータとして出力し、前記非圧縮データ選択信号がアクティブでないときには連続して入力した複数の前記圧縮命令アドレスをトレースメモリのビット幅に合わせて合成して前記トレースデータとして出力するとともに前記トレースデータの書込みを前記トレースメモリに指示するトレースデータ書込み信号および前記トレースメモリでの格納アドレスを指定するトレースメモリアドレスを出力するトレース制御回路と、

前記分岐命令検出信号またはセクショントレース開始信号の少なくとも一方がアクティブのときに前記非圧縮データ選択信号をアクティブにして出力する2入力OR回路とを有する請求項3記載のプログラム開発支援装置。

【請求項6】 ターゲットプログラムを実行するCPUと、

予めイベント条件として外部から所定の命令アドレスまたは所定の命令コードが設定されているときには前記所定の命令アドレスまたは所定の命令コードとともにデータ取り込み信号のアクティブ期間をも保持するイベント設定回路と、前記イベント設定回路から入力したイベント設定データ信号に含まれた前記所定の命令アドレスまたは前記所定の命令コードと前記CPUから入力する命令アドレス・命令コードデータの命令アドレスまたは命令コードとが一致することを検出したときにセクショントレース開始信号をアクティブにして出力するとともに前記イベント設定回路に設定された前記アクティブ期間の間前記データ取り込み信号をアクティブにして出力するイベント検出回路とを有する前記イベント検出部と、

実行した命令順に命令アドレスを示すデータをトレースデータとして蓄積する

トレースメモリと、

前記CPUから出力された前記命令アドレス・命令コードデータを前記データ取り込み信号がアクティブの期間に読み込んで、前記命令アドレスと前記命令コードとを出力する命令アドレス・命令コード取り込み回路と、前記命令アドレスと非圧縮データ選択信号とを入力し前記非圧縮データ選択信号がアクティブのときには前記命令アドレスをそのまま圧縮命令アドレスとして出力し前記非圧縮データ選択信号がアクティブでないときには現在の命令アドレスからひとつ前の命令アドレスを減じた差分データを前記圧縮命令アドレスとして出力する命令アドレスデータ圧縮回路と、前記命令コードを入力し該命令コードが分岐命令であるか否かを判定し分岐命令であると判定したときには分岐命令検出信号をアクティブにして出力する分岐命令判定回路と、前記圧縮命令アドレスと前記非圧縮データ選択信号を入力し前記非圧縮データ選択信号がアクティブのときには前記圧縮命令アドレスをそのまま前記トレースデータとして出力し、前記非圧縮データ選択信号がアクティブでないときには連続して入力した複数の前記圧縮命令アドレスを前記トレースメモリのビット幅に合わせて合成して前記トレースデータとして出力するとともに前記トレースデータの書込みを前記トレースメモリに指示するトレースデータ書込み信号および前記トレースメモリでの格納アドレスを指定するトレースメモリアドレスを出力するトレース制御回路と、前記イベント設定データ信号と前記トレースメモリアドレスとを入力し、両者の所定部分が一致したときにフレーム一致信号をアクティブにするフレームアドレス比較回路と、前記分岐命令検出信号、前記セクショントレース開始信号および前記フレーム一致信号を入力しこれらのうちの少なくともひとつの信号がアクティブであるときには前記非圧縮データ選択信号をアクティブにして出力する3入力OR回路とを有するトレースデータ作成部とを備えることを特徴とするプログラム開発支援装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はプログラム開発支援装置に関し、特に、コンピュータプログラムのデ

バグを支援するプログラム開発支援装置に関する。

【0002】

【従来の技術】

本発明が関するプログラム開発支援装置は、特にコンピュータ装置を動作させるためのプログラムの開発、デバッグに用いられている。特に、トレース機能を持つプログラム開発支援装置は、一般的にプログラム実行によって刻々変化するCPUの命令アドレスや命令コード等をトレースメモリと呼ばれるメモリに蓄積し、プログラムの実行結果として解析するのに使用される。

【0003】

ところが、近年コンピュータ装置に内蔵するプログラムが複雑化、大規模化、するに従い、トレースメモリにはより多くの実行結果を蓄積するために大容量のメモリが要求されている。また、これとは別にCPUの動作速度が高速化することで、より高速なメモリが必要にもなっている。トレース機能を有するプログラム開発支援装置では、一般的にCPUの動作周波数と同じスピードで動作させることが必要だが、大容量かつ高速なメモリはきわめて高価であるため、トレースメモリに格納するトレースデータの削減が要請されている。

【0004】

この要請に応える技術として、直前のプログラムカウンタの値と現在のプログラムカウンタの値との差分値をトレースメモリに記録し、分岐命令の時だけプログラムカウンタの値そのものを記録することによりトレースデータを圧縮する技術が特開平11-259335号公報に開示されている。以下、これを従来例として説明する。図12は、従来のプログラム開発支援装置のブロック図である。

【0005】

プログラム開発支援装置はプログラム開発用につくられたエパチップ301と命令のトレース結果を蓄積するトレーサ302とを備えている。エパチップ301内のCPU303から出力される命令アドレス・命令コードデータをクロック信号CLKに同期して命令アドレス・命令コード取り込み回路321に取込み、命令が分岐命令であるか否かを分岐命令判定回路323で判定する。命令が分岐命令でないときには命令アドレスデータ圧縮回路322により直前のプログラム

カウンタの値と現在のプログラムカウンタの値との差分値を生成することにより命令アドレスの圧縮を行い、トレース制御回路 3 2 4 でトレースメモリ 3 0 6 のビット幅に合わせて複数の命令アドレスの圧縮データをトレースデータに合成し、トレースデータはトレースメモリ 3 0 6 に書き込まれる。命令が分岐命令のときには、命令アドレスは圧縮されずにそのままトレースメモリ 3 0 6 に書き込まれる。

【 0 0 0 6 】

この従来例では、分岐命令の命令アドレス以外の命令アドレスは、圧縮されてトレースメモリに格納されるので、トレースメモリの容量を削減できる。また、分岐命令の命令アドレスの非圧縮データを起点として、圧縮された差分値を加算していくことにより、命令アドレスを復元することができる。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、図 1 2 の従来例では、分岐命令のみを検出しているだけであるので、例えばセクショントレースのようにプログラムのある範囲のみを繰り返しトレースしたい場合には、圧縮されたデータから本来のアドレスを復元することができないという改良すべき問題が残っていた。セクショントレース開始の命令アドレスが分岐命令ではないので他の命令のアドレスと同様に圧縮されてしまうからである。

【 0 0 0 8 】

本発明は、従来例のもつ命令アドレス圧縮・復元機能に加えて、セクショントレースのように分岐命令以外の特定の特定の命令コードまたは特定のアドレスを起点として特定範囲のトレースを実行する場合にも命令アドレスの圧縮・復元が可能で、限られたメモリ容量においても大量のトレースデータを蓄積可能なプログラム開発支援装置を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明のプログラム開発支援装置は、ターゲットプログラムを実行する CPU と、前記 CPU から入力する命令アドレス・命令コードデータが予めイベント条

件として設定された所定の命令アドレスまたは所定の命令コードと一致すること
を検出したときにはセクショントレース開始信号をアクティブにして出力するイ
ベント検出部と、前記命令アドレス・命令コードデータおよび前記セクショント
レース開始信号を入力し前記命令アドレス・命令コードデータの命令コードが分
岐命令であるかまたはセクショントレース開始信号がアクティブであるときには
命令アドレスを非圧縮のままトレースデータとして出力し、前記命令アドレス・
命令コードデータの命令コードが分岐命令でなく且つ前記セクショントレース開
始信号がアクティブでないときには前記命令アドレス・命令コードデータの命令
アドレスを圧縮して圧縮命令アドレスを生成し複数の前記圧縮命令アドレスを
合成してトレースデータとして出力するトレースデータ作成部と、前記トレース
データを蓄積するトレースメモリとを備えている。

【 0 0 1 0 】

【発明の実施の形態】

本発明のプログラム開発支援装置は、予め外部から設定された所定の命令アド
レスまたは所定の命令コードを検出するイベント検出部を設け、イベントが検出
されたときには検出された命令アドレスまたは検出された命令コードを格納する
命令アドレスを非圧縮のままトレースメモリに格納する機構を備えたものである
。

【 0 0 1 1 】

次に本発明について詳細に説明する。図 1 は、本発明の一実施の形態のブロッ
ク図である。

【 0 0 1 2 】

プログラム開発支援装置は、ターゲットプログラムを実行するエバチップ 1 と
、実行した結果を蓄積するトレーサ 2 と備えている。

【 0 0 1 3 】

エバチップ 1 は実際にターゲットプログラムを実行する CPU 3 と、イベント
検出部 4 とを有している。イベント検出部 4 は、CPU 3 から命令アドレス・命
令コードデータ 1 4 を入力し、予め命令コードまたは命令アドレスがイベント条
件として設定されていてこれと一致することを検出したときには、セクショント

レース開始信号16とをアクティブにするとともにセクションレース期間データ取り込み信号15をアクティブに保つ。

【0014】

トレサ2は、トレースデータ作成部5と、トレースデータを蓄積するトレースメモリ6とを有している。トレースデータ作成部5は、命令アドレス・命令コードデータ14およびセクションレース開始信号16を入力し、命令アドレス・命令コードデータ14の命令コードが分岐命令であるかまたはセクションレース開始信号16がアクティブであるときには、命令アドレス27を非圧縮のままトレースメモリ6へ書き込み、命令アドレス・命令コードデータ14の命令コード28が分岐命令でなく且つセクションレース開始信号16がアクティブでないときには、現在の命令アドレス・命令コードデータ14の命令アドレス27から前の命令アドレス・命令コードデータの命令アドレスを減じた差分値の圧縮命令アドレス31を生成し、連続する複数の命令アドレス・命令コードデータ14に対応する複数の圧縮命令アドレス31をトレースメモリ6のビット幅に合わせて合成して、トレースデータ32としてトレースメモリ6へ書き込む。

【0015】

また、イベント検出部4は、予めイベント条件として外部から命令アドレスまたは命令コードが設定されているときにはデータ取り込み信号15のアクティブ期間をも保持するイベント設定回路11と、イベント設定回路11からイベント設定データ信号17により転送された命令アドレスまたは命令コードの設定値とCPU3が出力する命令アドレスまたは命令コードが一致することを検出したときにセクションレース開始信号16をアクティブにするとともにイベント設定回路11に設定された期間データ取り込み信号15をアクティブレベルとするイベント検出回路12とを有している。イベント条件が設定されていないときには、データ取り込み信号15はアクティブレベルを継続出力する。

【0016】

また、トレースデータ作成部5は、命令アドレス・命令コード取り込み回路21と、命令アドレスデータ圧縮回路22と、分岐命令判定回路23と、トレース制御回路24と、2入力OR回路25とを有している。

【0017】

命令アドレス・命令コード取り込み回路21は、エバチップ1のCPU3から出力された命令アドレス・命令コードデータ14をデータ取り込み信号15に基づきクロック信号13に同期して読み込んで、命令アドレス27と命令コード28を出力する。

【0018】

命令アドレスデータ圧縮回路22は、命令アドレス27と非圧縮データ選択信号30を入力し、非圧縮データ選択信号30がアクティブのときには命令アドレス27をそのまま圧縮命令アドレス31として出力し、非圧縮データ選択信号30がアクティブでないときには現在の命令アドレスからひとつ前の命令アドレスを減じた差分データを圧縮命令アドレス31として出力する。

【0019】

分岐命令判定回路23は、命令コード28を入力し、その命令コードが分岐命令であるか否かを判定し、分岐命令であると判定したときには分岐命令検出信号29をアクティブ（ハイレベル）として出力する。

【0020】

トレース制御回路24は、圧縮命令アドレス31と非圧縮データ選択信号30を入力し、非圧縮データ選択信号30がアクティブのときには圧縮命令アドレス31をそのままトレースデータ32として出力し、非圧縮データ選択信号30がアクティブでないときには連続して入力した複数の圧縮命令アドレス31をトレースメモリ6のビット幅に合わせて合成してトレースデータ32として出力するとともに、トレースデータの書込みを指示するトレースデータ書込み信号34および格納アドレスを指定するトレースメモリアドレス33をトレースメモリ6に出力する。

【0021】

2入力OR回路25は、分岐命令検出信号29またはイベント検出部4からのセクショントレース開始信号16の少なくとも一方がアクティブ（ハイレベル）のときに非圧縮データ選択信号30をアクティブとして出力する。

【0022】

次に各回路の詳細構成について説明する。図 2 は、命令アドレス・命令コード取り込み回路 2 1 の回路図であり、図 3 は、命令アドレスデータ圧縮回路 2 2 の回路図であり、図 4 は、トレース制御回路 2 4 の回路図である。

【 0 0 2 3 】

図 2 を参照すると、命令アドレス・命令コード取り込み回路 2 1 は、命令アドレス・命令コードデータ 1 4 をデータラッチ 2 1 1 で保持し、命令アドレス 2 7 および命令コード 2 8 としてそれぞれ取り出す。

【 0 0 2 4 】

命令アドレス・命令コードデータ 1 4 をデータラッチ 2 1 1 でラッチするタイミングは、基本的には CPU 3 から出力されるクロック信号 1 3 によって命令アドレス・命令コードデータ 1 4 と同期して行われるが、イベント検出回路 1 2 から出力されるデータ取り込み信号 1 5 で AND 回路 2 1 2 によってマスク制御することにより、選択的にラッチされるように構成されている。データ取り込み信号 1 5 はセクショントレースのときにはセクショントレースの開始から終了までの間のみアクティブレベルであるが、通常のトレース状態では常にアクティブレベルを継続する。

【 0 0 2 5 】

次に、図 3 を参照して命令アドレスデータ圧縮回路 2 2 の詳細について説明する。命令アドレスの圧縮方法は、非圧縮時には命令アドレス値（例えば 3 2 ビット長）をベースアドレスとして記録し、圧縮時にはひとつ前の命令アドレス値と現在の命令アドレス値との差分値（例えば 8 ビット長）を圧縮命令アドレスのデータとして記録する方法をとっている。命令アドレスデータ圧縮回路 2 2 は、圧縮命令アドレスのデータとして前の命令アドレス値との差分データを生成するための前命令アドレスラッチ 2 2 1 と、前命令アドレスラッチ 2 2 1 の出力と現在の命令アドレスとの差分を演算して圧縮データを生成する減算器 2 2 2 と、減算器 2 2 2 からの圧縮データと非圧縮データの命令アドレスデータ 2 7 とを切り換える圧縮／非圧縮切り換え回路 2 2 3 を備えている。非圧縮データ選択信号 3 0 がアクティブになると、非圧縮のままの命令アドレス 2 7 が圧縮／非圧縮切り換え器 2 2 3 から圧縮命令アドレス 3 1 として出力される。

【0026】

次に、図4を参照してトレース制御回路24の詳細について説明する。トレース制御回路24は、トレースメモリ6に書き込むためのトレースメモリアドレス33の生成と、書込み動作を許可するトレース書込み信号34の生成を行い、最終的にトレースメモリ6にデータを書き込むためのタイミング信号の生成を行う。また、同時に、命令アドレスデータ圧縮回路22にて生成された圧縮命令アドレス信号31の、トレースメモリ6のビット幅への合わせ込みを行う。トレースアドレスカウンタ244はトレース書込み信号34がアクティブのときにクロック信号13の立ち上がり同期して+1インクリメントする。トレースアドレスカウンタ244の出力のトレースメモリアドレス33は、トレースメモリ6のフレームに順番にトレースデータ32を記録するためのアドレスを示す。トレースメモリアドレス33は、トレースメモリ6への書込みタイミングに同期して変化し、通常はトレースメモリ6への書込みが完了した直後にインクリメントされる。書込みのタイミングについては後述する。

【0027】

次に、圧縮データのトレースメモリ6のビット幅への合わせ込み動作について説明する。ベースアドレスよりもビット幅の少ない圧縮データを、トレースメモリ6のビット幅へ合わせ込むために、圧縮データシフトレジスタ241が使用される。圧縮データシフトレジスタ241は、圧縮命令アドレス31のデータが圧縮データである場合にはトレースメモリのビット幅一杯になるまで順次シフト動作を行いながらデータを蓄積する。図4では、（非圧縮データ）対（圧縮データ）のデータ幅の比を4対1としているため、圧縮データシフトレジスタ241は最大4命令分の命令アドレスの圧縮データを順次蓄積する。また4個目の圧縮データが圧縮データシフトレジスタ241に書き込まれると、アライメント完了信号246がアクティブとなり、2入力OR回路245を経てトレースメモリ6に1フレーム分のデータとして記録される。同時に圧縮データシフトレジスタ241の内容がクリアされて次の圧縮データの蓄積に備える。

【0028】

非圧縮データである命令アドレス27をトレースデータ32として出力するか

、圧縮データシフトレジスタ 2 4 1 でビット幅に合わせ込んだアライメント済圧縮データ 2 4 7 をトレースデータ 3 2 として出力するかは、非圧縮データ選択信号 3 0 を非圧縮データラッチ 2 4 2 で一旦ラッチしてタイミング調整した信号にしたがってトレースデータ切替回路 2 4 3 で選択される。

【 0 0 2 9 】

次に、図 1 の実施例の動作について、先ず、図 1 2 の従来例と同様の分岐命令と通常命令に対するデータ圧縮／非圧縮の動作について説明した後に、本発明に特有のセクショントレースにおける動作について説明する。

【 0 0 3 0 】

図 5 は、トレース動作を説明するためのサンプルプログラムリスト図である。このサンプルプログラムは大規模なプログラムの一部を抜き出したものであり、命令 1 ～命令 2 7 のうち、命令 3 ～命令 2 6 は一重のループを構成しており、命令 2 6 の条件分岐命令にて任意の回数、命令 3 への分岐を繰り返す構成となっている。命令アドレス空間は 3 2 ビットで、命令コード長は 4 バイトまたは 2 バイトであるものとし、また、トレースメモリには (0 0 0 0 0) から (0 0 0 F F) までのアドレスを持つリングバッファが使用されているとする。

【 0 0 3 1 】

図 6 は、分岐命令判定時の動作タイミング図である。図 6 では、セクショントレースを用いない場合であるので、基本的には図 1 2 の従来例と同様に動作する。

【 0 0 3 2 】

イベント設定回路 1 1 にイベント条件が設定されておらず、セクショントレースを用いない場合には、データ取り込み信号 1 5 は常にアクティブとなり、命令アドレス・命令コード取り込み回路 2 1 はクロック信号 1 3 毎に図 5 の命令 1 から順次に命令アドレス・命令コードデータ 1 4 をラッチして命令アドレス 2 7 に出力する。

【 0 0 3 3 】

命令 2 6 まで進むと、命令 2 6 が分岐命令であるので、CPU 3 から出力される命令アドレス・命令コードデータ 1 4 は命令 3 に変化する。このとき、分岐命

令判定回路 23 は直前に分岐命令が実行されたことを判別し、分岐命令検出信号 29 をアクティブにする。

【0034】

これに伴い、命令アドレスデータ圧縮回路 22 は、直前まで出力していたアドレス値の差分すなわち圧縮データから、命令 3 の命令アドレスの非圧縮データに切り換えて圧縮命令アドレス 31 に出力する。

【0035】

トレース制御回路 24 は、分岐命令検出信号 29 がアクティブになると 2 クロック期間の間トレースデータ書込み信号 34 をアクティブにしてトレースメモリ 6 に出力し、トレースメモリアドレス 33 はクロック信号 13 の第 1 番目の立ち上がり同期してインクリメントして (00000) となり、これに対応するトレースメモリ 6 のフレームアドレスに、命令 3 の命令アドレスが非圧縮データの状態で書き込まれる。フレームの書込みが終了した時点で、トレースメモリアドレス 33 は次のフレームに書込みが行われるようにするために、トレースデータ書込み信号 34 がアクティブの期間内のクロック信号 13 の第 2 番目の立ち上がり同期して +1 インクリメントされ、(00001) となる。

【0036】

その後、命令 4 に対しては命令アドレスデータ圧縮回路 22 で、 $(\text{命令 4 の命令アドレス}) - (\text{命令 3 の命令アドレス})$ を計算して結果を下位の 1 バイトのデータに圧縮し、同様にして命令 5、命令 6、命令 7 と圧縮データを生成してトレース制御回路 24 の圧縮データシフトレジスタ 241 に順次圧縮データを送り込むので、命令 7 の圧縮データを入力したときに圧縮データシフトレジスタ 241 が一杯になりアライメント完了信号 246 を出力する。トレース制御回路 24 はアライメント完了信号 246 に合わせてトレースデータ書込み信号 34 を発生して命令 4 ~ 命令 7 の 4 命令の圧縮データを合成したトレースデータ 32 をトレースメモリ 6 に書き込んだ後に、クロック信号 13 の立ち上がり同期してトレースメモリアドレス 33 を +1 インクリメントし (00002) となる。以降は、次に分岐命令を検出するまで同様に動作を継続する。

【0037】

図7は、分岐命令判定後のトレースメモリのデータ図であり、以上の動作によってトレースメモリ6に記録されたサンプルプログラムの実行結果である。

【0038】

トレースメモリに格納されたトレースデータでは、命令3に相当するデータは圧縮フラグが0となっており、命令アドレスが非圧縮の状態で読み出せることを示している。それ以外の命令については、それぞれ直前の命令アドレスからの増分（命令コードのバイト数に一致）が蓄積されているので、読み出した後に前の命令アドレスに加算することによる復元アドレスを得る。

【0039】

図8は、トレースデータの読み出し手順のフローチャート図である。以下、トレースデータの読み出しについて具体的に説明する。

【0040】

S1～S3は、読み出し動作の初期化に相当する。

【0041】

ステップS3で圧縮フラグが0のときはステップS4に進み、圧縮フラグが1のときにはステップS5に進む。

【0042】

ステップS4では、トレースメモリ6の先頭フレームからトレースデータを読み込み、圧縮されていないフレームの命令アドレスをベースアドレスとして設定してステップS6に進む。

【0043】

ステップS6では、ベースアドレスから、当該アドレスの命令コードを読み取り命令を表示する。

【0044】

ステップS7では、読み出しポインタをインクリメントし、次のトレースフレームを読み出す。

【0045】

ステップS3で圧縮フラグが1ならば、そのフレームデータは圧縮データなので、ステップS5でベースアドレスにオフセット分を加算し、新しいベースアド

レスとして設定してステップ S 6 に進む。ステップ S 6 以降は同様である。

【0046】

以上の手順で命令アドレスを復元して図 7 の復元アドレスを得る。

【0047】

次にセクショントレースを用いた場合について動作を説明する。図 9 は、セクショントレース動作時のタイミング図である。

【0048】

セクショントレースでは、プログラムの特定の範囲についてのみ着目してトレースを行う。具体的な例として、図 5 のサンプルプログラムリストにおいて、データの書込みを行っている命令 4 ～命令 7 の 4 ステップの範囲だけに着目してトレースを行うときの動作について説明する。

【0049】

CPU 3 から出力される命令アドレス・命令コードデータ 14 はイベント設定回路 11 に設定されているデータ取り込み信号 15 のアクティブ期間に基づいて命令 4 から命令 7 が実行されている間だけトレースデータ取り込み部 7 のデータラッチ 211 にサンプリングされる。このため図 9 に示すように、命令アドレス 27 としては、命令 4 ～命令 7 の命令アドレスだけが命令アドレス・命令コード取り込み回路 21 から命令アドレスデータ圧縮回路 22 へ出力される。

【0050】

また、セクショントレースの開始位置を示すセクショントレース開始信号 16 が命令 4 の実行開始から 2 クロック期間アクティブになる。セクショントレース開始信号 16 は、分岐命令検出信号 29 とともに 2 入力 OR 回路 25 の入力であるので、2 入力 OR 回路 25 の出力の非圧縮データ選択信号 30 は、命令が分岐命令であるか否かには無関係にセクショントレース信号がアクティブ（ハイレベル）になったことを受けて非圧縮データ選択信号 30 はアクティブとなる。その結果、命令 4 の命令アドレスは非圧縮データのままクロック信号 13 のローレベル期間に出力される。

【0051】

命令 5 ～命令 7 についての圧縮データの生成およびトレースデータへの合成に

については、図 6 と同様であるので説明を省略する。

【 0 0 5 2 】

図 1 0 は、セクショントレース後のトレースメモリのデータ図であり、以上の動作によって、トレースメモリ 6 に記録されたサンプルプログラムのセクショントレースの実行結果である。トレースデータとして命令 4 に相当するデータは圧縮フラグが 0 となっており、命令アドレスが非圧縮の状態であることを示している。セクショントレースの場合のトレースデータの読出しも図 8 と同様である。

【 0 0 5 3 】

図 1 1 は、本発明の第 2 の実施例のブロック図である。図 1 1 のプログラム開発支援装置は、その基本的構成は図 1 の第 1 の実施例と同様であるが、フレームアドレス比較回路 2 6 が追加され、また 2 入力 OR 回路 2 5 に変えて 3 入力 OR 回路 2 5 a としている点のみが異なっている。

【 0 0 5 4 】

フレームアドレス比較回路 2 6 は、イベント設定データ信号 1 7 とトレースメモリアドレス 3 3 とを入力し、両者の所定部分が一致したときにフレーム一致信号 3 5 をアクティブにして出力する。

【 0 0 5 5 】

3 入力 OR 回路 2 5 a は、分岐命令検出信号 2 9 およびセクショントレース開始信号 1 6 に加えてフレーム一致信号 3 6 をも入力し、これらのうちの少なくともひとつの信号がアクティブであるときには非圧縮データ選択信号 3 0 をアクティブとして出力する。

【 0 0 5 6 】

ここで、イベント設定回路 1 1 に設定されるイベント条件を、例えば一定のフレーム間隔でトレースメモリアドレス 3 3 と一致するような値とすることにより、任意のフレームに非圧縮のトレースデータを埋め込む事ができる。このように、本実施例では、セクショントレースの範囲がトレースメモリの最大フレーム数（説明に用いた例ではトレースメモリのフレームは 0 0 0 0 0 ～ 0 0 0 F F）を越えるような場合でも非圧縮データをトレースデータ中に埋め込むことができるので、このような場合にも非圧縮データをベースの命令アドレスとして圧縮済の

トレースデータから本来の命令アドレスを復元することができるという効果が得られる。

【 0 0 5 7 】

【発明の効果】

以上のように、本発明によれば、圧縮されたトレースデータの復元の際にベースアドレスとするために非圧縮とする命令アドレスを外部からイベント検出部に設定できるので、セクショントレースのようにトレースデータ中に分岐命令が含まれない状態においても復元の基となるベースアドレスをトレースデータ中に残すことが可能となり、正しく命令アドレスを復元することができるという効果が生じる。

【 0 0 5 8 】

本発明では、セクショントレースのみにとどまらず、イベント設定器に例えばCPUのDMAや割り込みのトレースなどにおいて、分岐命令を含まないがプログラムの実行順が変化したりCPUの動作とは異なるバスアクセスを行う命令のアドレス情報を設定することにより、非圧縮のままトレースメモリに格納して命令アドレス復元のときにベースアドレスとすることができるので、そのような場合にも正しく復元することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例のブロック図である。

【図 2】

命令アドレス・命令コード取り込み回路の回路図である。

【図 3】

命令アドレスデータ圧縮回路の回路図である。

【図 4】

トレース制御回路の回路図である。

【図 5】

サンプルプログラムリスト図である。

【図 6】

分岐命令判定時の動作タイミング図である。

【図 7】

分岐命令判定後のトレースメモリのデータ図である。

【図 8】

トレースデータの読み出し手順のフローチャート図である。

【図 9】

セクショントレース動作時のタイミング図である。

【図 10】

セクショントレース後のトレースメモリのデータ図である。

【図 11】

本発明の第 2 の実施例のブロック図である。

【図 12】

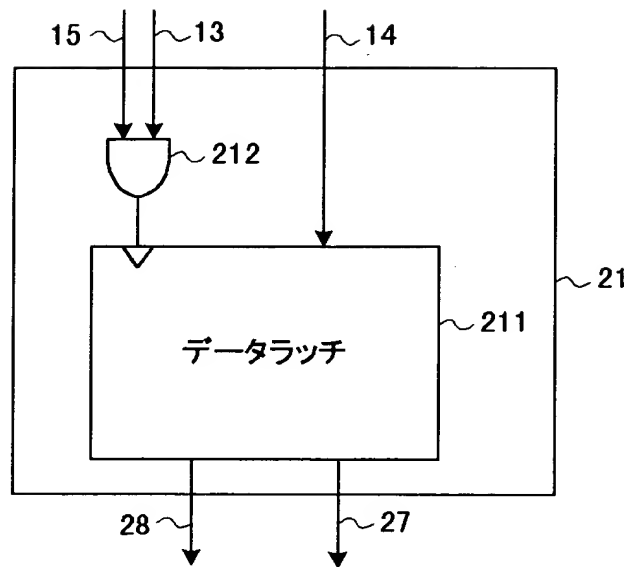
従来のプログラム開発支援装置のブロック図である。

【符号の説明】

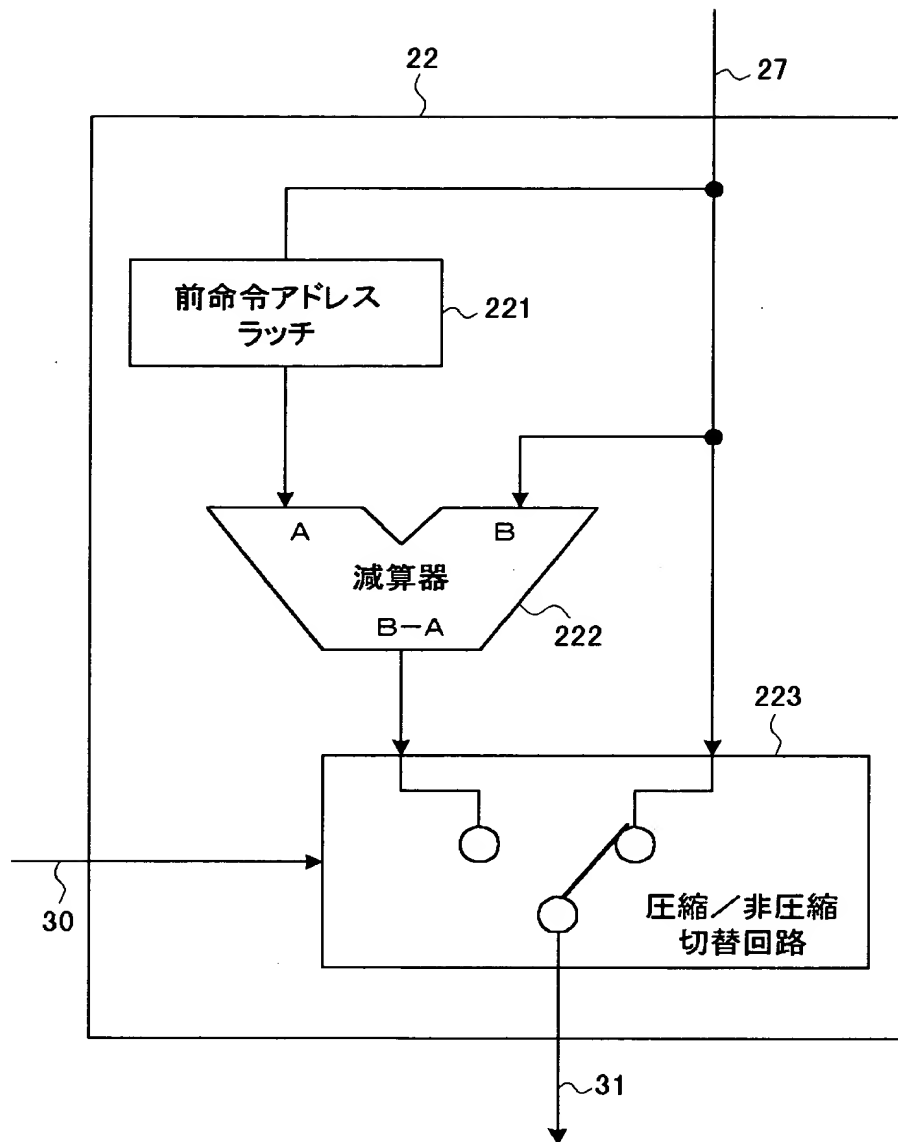
- 1, 301 エバチップ
- 2, 302 トレーサ
- 3, 303 CPU
- 4 イベント検出部
- 5 トレースデータ作成部
- 6, 306 トレースメモリ
- 11 イベント設定回路
- 12 イベント検出回路
- 13 クロック信号
- 14 命令アドレス・命令コードデータ
- 15 データ取り込み信号
- 16 セクショントレース開始信号
- 17 イベント設定データ信号
- 21, 321 命令アドレス・命令コード取り込み回路
- 22, 322 命令アドレスデータ圧縮回路

2 3, 3 2 3	分岐命令判定回路
2 4, 3 2 4	トレース制御回路
2 5, 2 4 5	2 入力 O R 回路
2 5 a	3 入力 O R 回路
2 6	フレームアドレス比較回路
2 7	命令アドレス
2 8	命令コード
2 9	分岐命令検出信号
3 0	非圧縮データ選択信号
3 1	圧縮命令アドレス
3 2	トレースデータ
3 3	トレースメモリアドレス
3 4	トレースデータ書込み信号
3 5	フレーム一致信号
2 1 1	データラッチ
2 1 2	A N D 回路
2 2 1	前命令アドレスラッチ
2 2 2	減算器
2 2 3	圧縮 / 非圧縮切替回路
2 4 1	圧縮データシフトレジスタ
2 4 2	非圧縮データラッチ
2 4 3	トレースデータ切替回路
2 4 4	トレースアドレスカウンタ
2 4 6	アライメント完了信号
2 4 7	アライメント済圧縮データ

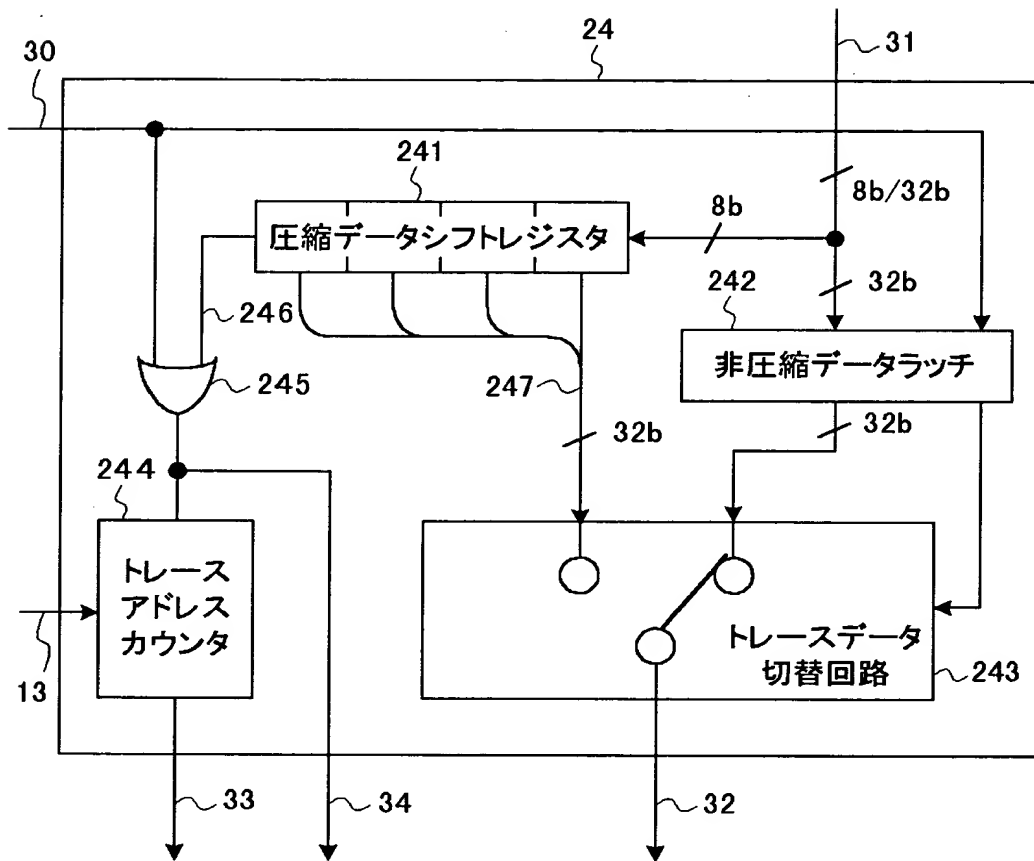
【図 2】



【図 3】



【図 4】



246:アライメント完了信号
247:アライメント済圧縮データ

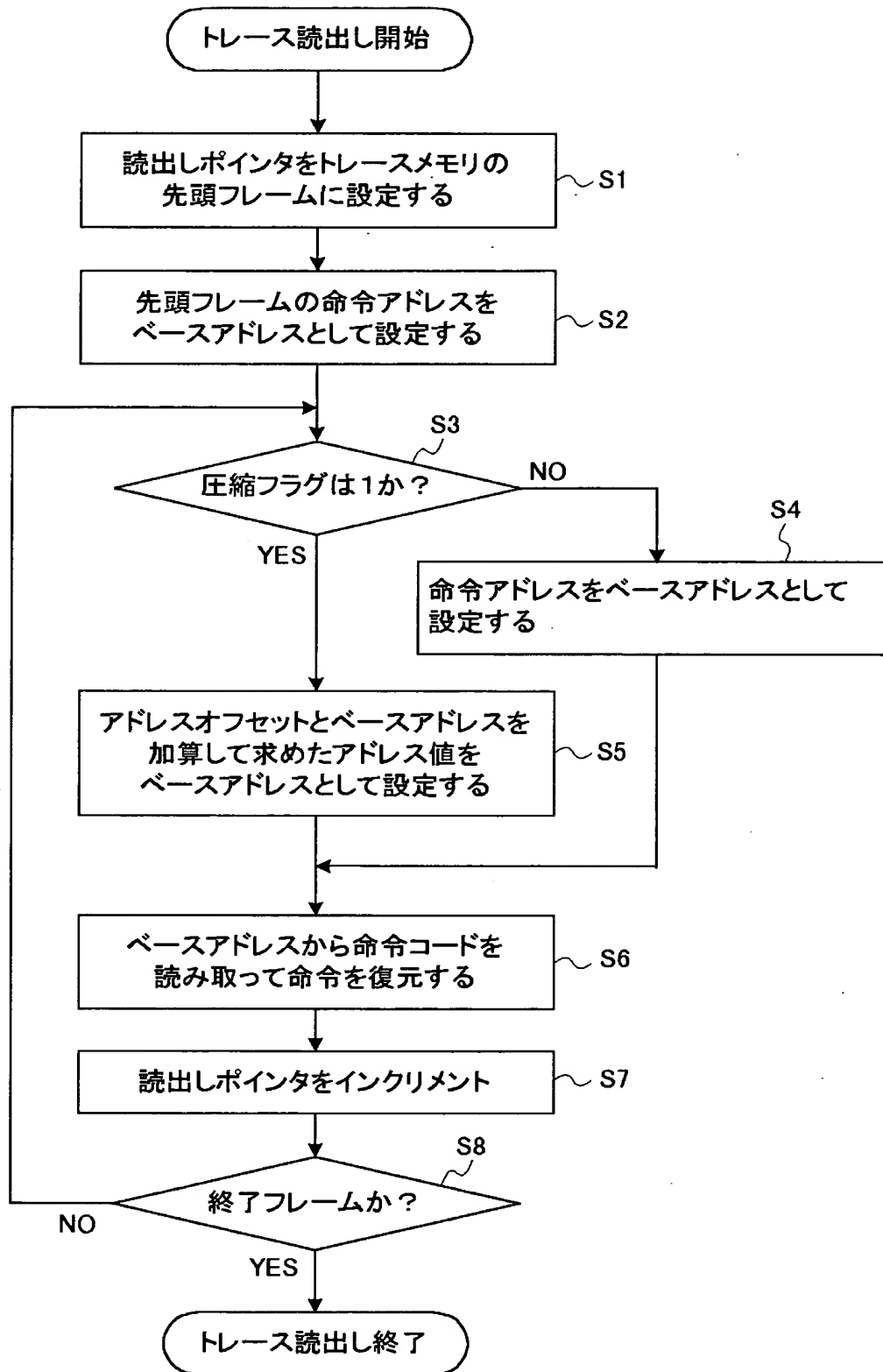
【図 5】

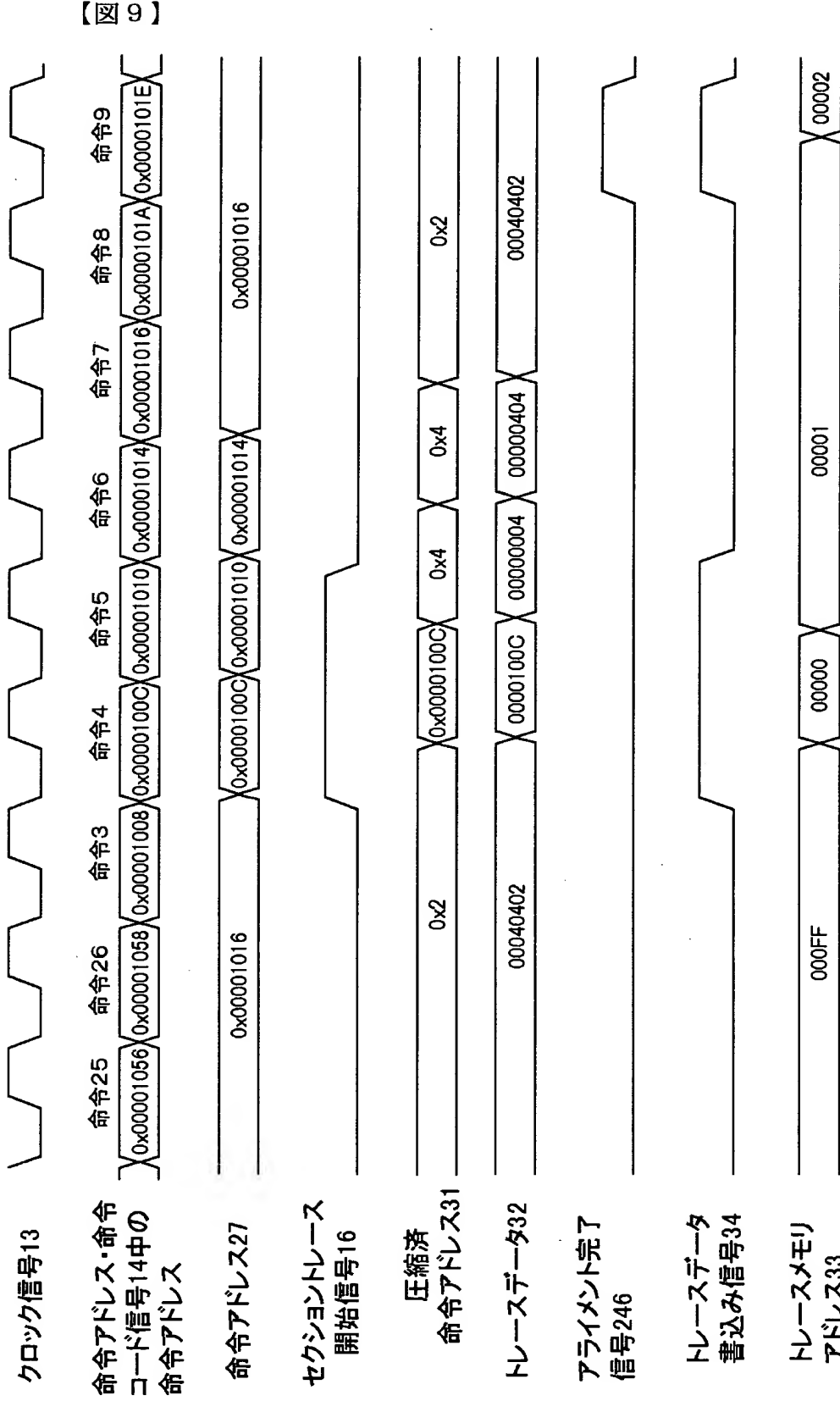
	命令アドレス	命令コード	ニモニック
命令 1	0x00001000	40160004	movhi 0x400,r0,r2
命令 2	0x00001004	221660f0	movea 0xf060,r2,r2
命令 3	0x00001008	00801734	loop: ld.h 0x0080[r0],r20
命令 4	0x0000100C	40160004	movhi0x400,r0,r2
命令 5	0x00001010	221662f0	movea 0xf062,r2,r2
命令 6	0x00001014	3241	add 0x01, r10
命令 7	0x00001016	629f0000	st.h r19, 0x0[r2]
命令 8	0x0000101A	20168af4	movea 0xb76,r0,r2
命令 9	0x0000101E	209e5555	movea 0x5555,r0,r19
命令 10	0x00001022	629f0000	st.h r19, 0x0[r2]
命令 11	0x00001026	20166ef0	movea 0xf06e,r0,r2
⋮	⋮	⋮	⋮
命令 20	0x00001046	221686f4	movea 0xf486,r2,r2
命令 21	0x0000104A	209e1111	movea 0x1111,r0,r19
命令 22	0x0000104E	629f0000	st.h r19, 0x0[r2]
命令 23	0x00001052	3a88	str 0x08,r7
命令 24	0x00001054	3241	add 0x01, r6
命令 25	0x00001056	4264	cmp 0x04,r8
命令 26	0x00001058	fda6	blt loop
命令 27	0x0000105A	0000	nop

【図 7】

	トレースメモリ アドレス	圧縮 フラグ	トレースメモリ のデータ	復元アドレス
命令3	00000	0	0x00001008	0X00001008
命令4	00001	1	0x4	0X0000100C
命令5	00001	1	0x4	0X00001010
命令6	00001	1	0x4	0X00001014
命令7	00001	1	0x2	0X00001016
命令8	00002	1	0x4	0X0000101A
命令24	00006	1	0x2	0X00001054
命令25	00006	1	0x2	0X00001056
命令26	00006	1	0x2	0X00001058
命令3	00007	0	0x00001008	0X00001008
命令4	00008	1	0x4	0X0000100C

【図 8】



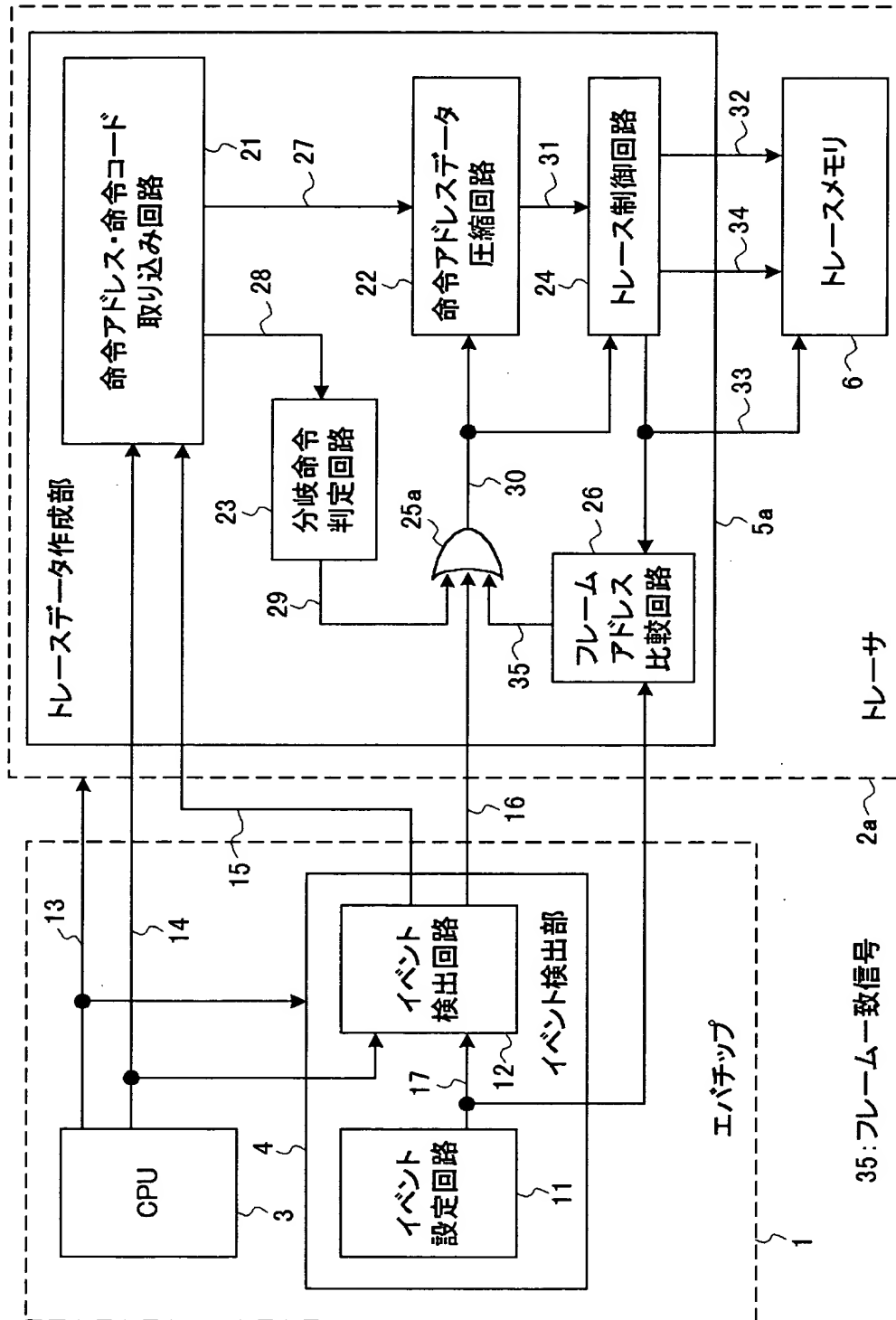


【図 9】

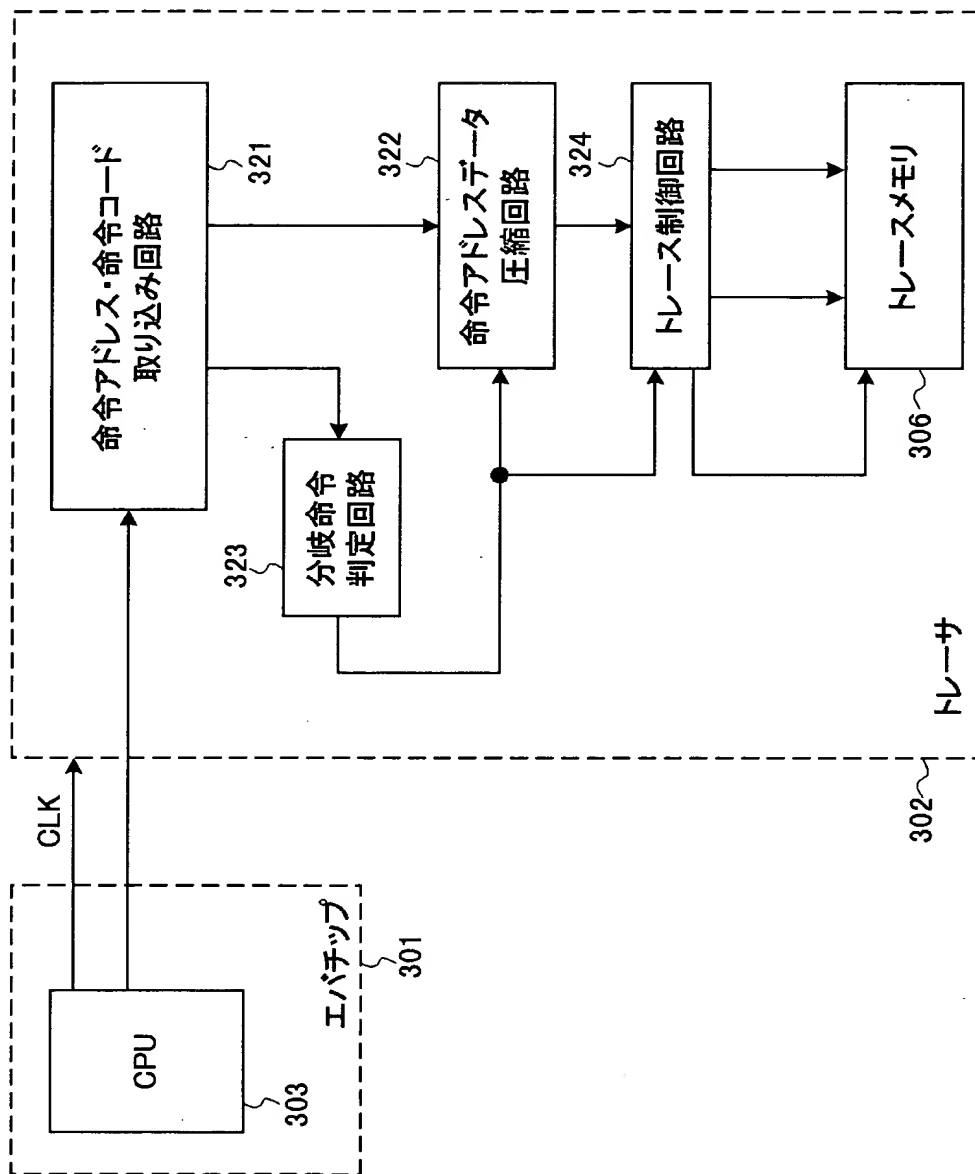
【図 1 0】

	圧縮フラグ	トレースメモリ のデータ	復元アドレス
命令7	1	0x2	0X00001016
命令4	0	0x0000100C	0X0000100C
命令5	1	0x4	0X00001010
命令6	1	0x4	0X00001014
命令7	1	0x2	0X00001016
命令4	0	0x0000100C	0X0000100C
命令5	1	0x4	0X00001010
命令6	1	0x4	0X00001014
命令7	1	0x2	0X00001016

【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 セクショントレースのように分岐命令以外の場合にも命令アドレスの圧縮・復元が可能なプログラム開発支援装置を提供する。

【解決手段】 イベント検出部 4 からのセクショントレース開始信号 1 6 か分岐命令検出信号 2 9 かのいずれかがアクティブであれば非圧縮データ選択信号 3 0 をアクティブにするように構成した。予め設定されたイベント条件と一致するデータが CPU から出力されると、セクショントレースが開始するとともに、セクショントレースするアドレス範囲の最初の命令アドレスを圧縮せずにトレースメモリ 6 に書込み、それ以降の命令アドレスは圧縮データとしてトレースメモリに書き込む。トレースメモリ 6 の読出し時には非圧縮のデータをベースアドレスとして復元する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-089636
受付番号	50000384325
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 3月29日

<認定情報・付加情報>

【提出日】	平成12年 3月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 日本電気アイシーマイコンシステム株式会社